

$S_i + ?$ **24) MANUFACTURE OF SEMICONDUCTOR DEVICE**

21) 63-197342 (A) (43) 16.8.1988 (19) JP

21) Appl. No. 62-28226 (22) 12.2.1987

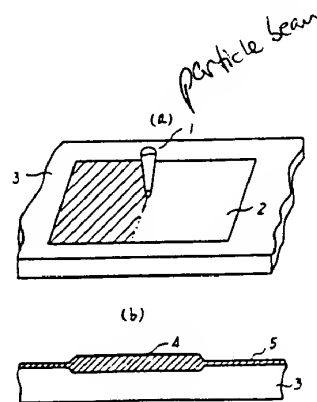
71) HITACHI LTD (72) YUICHI MADOKORO(3)

(51) Int. Cl. H01L21/316

*implantation
enhanced
oxidation*

PURPOSE: To realize a pattern wherein oxide film thickness changes gradually by a method wherein a portion of a substrate where a pattern is formed in an oxide film forming process is selectively exposed to a scanning charged particle beam.

CONSTITUTION: A charged particle beam is subjected to control when it is caused to scan an injection region 2 where a pattern is to be formed. For example, the injection quantity per unit area is larger when the scanning speed is decreased or the beam current is increased, and is smaller when the scanning speed is increased or the beam current is decreased. The two parameters are properly selected for a desired quantity of injection into a given portion. This facilitates the process of building a structure wherein oxide film thickness is allowed to change gradually and continually. Use of this method produces a semiconductor device with its performance improved.



⑬ Int.Cl.⁴
H 01 L 21/316識別記号
庁内整理番号
6708-5F

⑭ 公開 昭和63年(1988)8月16日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-28226

⑰ 出 願 昭62(1987)2月12日

⑱ 発 明 者 間 所 祐 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 宿 利 章 二 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 田 村 誠 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 和 田 恭 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. シリコン基板に酸化膜を形成する工程において、前記基板の少なくとも一部に荷電粒子ビームを選択的に走査して照射する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、シリコン半導体装置の製造方法に係り、特に、 SiO_2 膜を利用した各種デバイスの製造に好適な酸化膜の形成方法に関する。

〔従来の技術〕

従来の半導体装置における酸化膜の形成工程では、所望する膜質、膜厚等の性質に応じて、雰囲気組成、酸化温度、酸化時間の3つのパラメータを調節している。しかし、酸化膜を作ろうとする基板自体には表面の洗浄以外の処理を施すことはない。酸化膜をパターンニングする際には、酸化膜

を形成した後、リソグラフィ技術を用いてエッチングするか、または、 $LiOCl$ 酸化の場合の様に、酸化する前の基板にマスクとなる膜を形成して酸化を行ない、被覆していない部分に酸化膜を形成するという手法が用いられる。

ドーピングを行なった基板を酸化する場合については、イオン・インプラネーション・イン・セミコンダクターズ(1975年)第681頁から第688頁において論じられており、 P^+ 、 Sb^+ 、 As^+ の打込みを行なったシリコン基板をウェット O_2 雰囲気中で酸化した例について、打込み層の酸化が、元の基板よりも増速されることが述べられ、打込み量と酸化膜厚の関係等のデータが示されている。

〔発明が解決しようとする問題点〕

上記従来技術は、パターン形式の際にリソグラフィ技術を用いるため、パターンの最小寸法、精度が、露光時の解像度、エッチング精度により制限される上に、膜厚を連続的に変化させることはできないという問題点があった。

本発明の目的は、ビーム径を最小加工寸法以下に集束した、荷電粒子ビームを用いて、基板上を選択的に走査し、イオン打込みを行うことにより、打込み量に対応した酸化膜厚の微細パターン形成を行う事、および／または、走査の条件を変えることにより打込み量を連続的に変化させて、1 μ m程度以上の範囲で、酸化膜厚が連続的に変化するパターンの形成を可能にする方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、酸化膜を形成する工程において、基板のパターンを形成しようとする部位に、荷電粒子ビームを選択的に走査、照射することにより達成される。

〔作用〕

第1図を用いて、本発明の基本構成を説明する。図において、1は集束した荷電粒子ビーム、2はパターン形成を行なおうとする打込み領域、3はシリコン基板、4は打込み層上に形成した酸化膜、5は非打込み層上の酸化膜である。第1図(a)に示

した様に形成しようとする打込み領域2上に、集束した荷電粒子ビームを制御、走査する。例えば上記領域での走査速度を下げる、または、ビーム電流量を上げると、単位面積当りの打込み量は大きくなり、逆に走査速度を上げたり、ビーム電流量を下れば打込み量は小さくなる。従つて、この2つのパラメータを調節することにより、任意の部分で、所望の打込み量が実現できる。

基板中に打込まれた不純物量と、その後に形成される酸化膜の厚さの関係は、打込みイオンをSb⁺とした例では第2図のようになる。ドーピング効果をもたないSi⁺、Al⁺などのイオン打込みでもこれと同様の効果があらわれ、電子ビームの照射によつても、イオンビームの数十〜数百倍の打込み量で同様の効果を持つため、それぞれについて、第2図に対応する打込み量-酸化膜厚の関係を一定の酸化工程について得ることができ

〔実施例〕

以下、本発明の実施例について説明する。

(実施例1) 第3図は、矩形領域に、集束イオンビームを走査、打込みしながら、1走査ごとに走査速度を変化させ、実効的打込み量を所定領域内で連続的に変化させ、酸化した例の走査方向に垂直な面での断面図である。打込みは、50KeVのSb⁺イオンを用い、ビームを0.2 μ mまで集束して行つた。ビーム電流量は一定とし、走査速度最大部8では、打込み量は、 1×10^{14} /cm²に対応し、最小部9は、 1×10^{17} /cm²に対応している。次に、温度950℃のウェット酸化を20分間行なつて、走査速度最大部8には、膜厚130nmの、走査速度最小部9には膜厚300nmの酸化膜を形成できた。この様に、酸化膜厚が、次第に変化する構造は、既存の方法では形成できない新しいものである。

(実施例2) 本実施例は、本発明を、特殊なチャネル構造をもつMOS電界効果型トランジスタ(MOSFET)の製造に応用した実施例である。第4図は、このMOSFETのチャネルに垂直なゲートを含む面での断面図である。11はLOCOS

酸化膜、14はポリシリコンゲートであり、ゲート酸化膜は、膜厚の大きい部分12の中心に、膜厚の薄い部分13を設けている。このMOSFETの製造工程を、第5図、第6図、第7図を用いて以下説明する。

10 Ω ・cm^p型基板上に、LOCOS酸化により素子間分離膜11を膜厚5000Åで形成後、ドーピングを避けるために、Si⁺集束イオンビーム16(ビーム径 $\sim 0.1\mu$ m ϕ)を、チャネル方向に平行に走査し、中央に0.1 μ m幅の非打込み領域18を残し、他の部分17に 1×10^{18} /cm²の打込みを行なつた。(第5図) 洗浄後、950℃、25分のドライ酸化により中央の非打込み部には膜厚180Åの酸化膜13、他の部分には膜厚250Åの酸化膜12が生じた(第6図)。この後は通常のMOSFETの製造工程に準じて、BF₃・60KeV、 1.6×10^{13} /cm²のチャネル打込み、3000Åのポリシリコンのデポジション後、リン拡散、SiO₂膜のCVD法による堆積を経て、リソグラフィを用いてゲート長1.0 μ m

のゲート14(第7図)形成を行ない、該Poly Siゲート14をライト酸化後、 100KeVAs^+ 、 $5 \times 10^{13}/\text{cm}^2$ の打込み、 900° 、20分のアニールでソース、ドレインを形成した。さらにリンガラス15を堆積、リソグラフィーによりコンタクトホールを形成し、アルミニウムを堆積、ドライエッチングを用いて配線10、19を行なったのが第7図である。

第8図は、以上述べた工程で作製したMOSFETを動作した時の、ドレイン電流と相互コンダクタンスの関係である。チャネルの実効幅は、前記工程で、Si打込みを行なわなかつた部分18(第5図)の幅に対応して、 $0.1\mu\text{m}$ 以下になっており、それによる量子効果が、あらわれた。

上記のように $0.1\mu\text{m}$ 以下の微小領域を制御して酸化膜を形成する工程は、上記 Si^+ イオン打込みだけでなく集束イオンビームとして得られるイオンならば、どれを用いても同様の効果が得られるだけでなく、電子線などの荷電粒子を用いても良い事が分つた。又、粒子線の径は、形成する

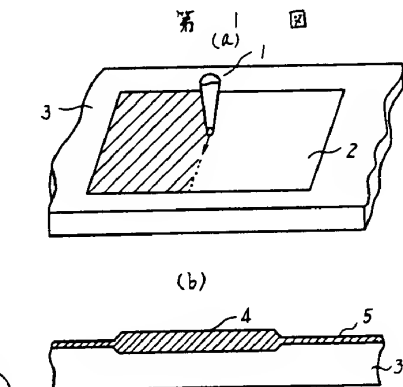
パターンの寸法と同程度であれば良く、例えば $1\mu\text{m}$ の径の粒子線を用いれば、 $1 \sim 1.5\mu\text{m}$ 程度のパターンを形成可能である。

[発明の効果]

本発明によれば、従来法では得られない、連続的に酸化膜厚の変化する構造が容易に得られるため、これを用いた半導体装置の高性能化がはかれる。またリソグラフィ技術を用いないため解像度による微細化の制限を受けず、高集積化ができる。

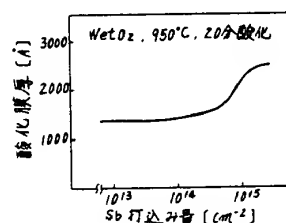
4. 図面の簡単な説明

第1図(a)、(b)は本発明の原理説明図、第2図はSbの打込み量と酸化膜厚の関係を示すグラフ、第3図は連続的に打込み量を変化させた場合の酸化膜の断面形状、第4図は実施例2のMOSFETのチャネル部の断面図、第5図、第6図は実施例2の製造工程図、第7図はMOSFETの完成した状態の斜視図、第8図は実施例2のMOSFETの相互コンダクタンス・ドレイン電流の関係である。



- 1 集束荷電粒子ビーム
- 2 パターン形成部(打込み層)
- 3 シリコン基板
- 4 打込み層上の酸化膜
- 5 非打込み層上の酸化膜

第2図



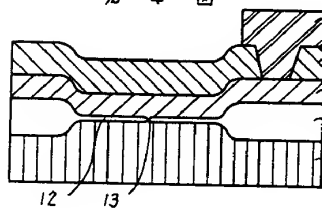
- 3, 6...シリコン基板、4...打込み層上酸化膜、5...非打込み部酸化膜、7... Sb^+ 非打込み部酸化膜、8...走査速度最大部分の酸化膜、9...走査速度最小部分の酸化膜、10...アルミ配線、11...LOCOS酸化膜、12...Si打込み層上の酸化膜、13... Si^+ 非打込み部酸化膜、14...ポリシリコンゲート、15...リンガラス膜、16... Si^+ 集束イオンビーム、17... Si^+ 打込み部、18...非打込み部、19...ドレイン・アルミ配線。

代理人 弁理士 小川勝男

第 3 図

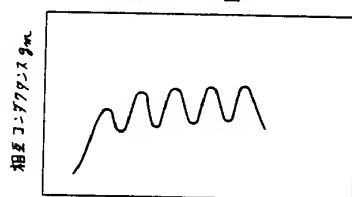


第 4 図

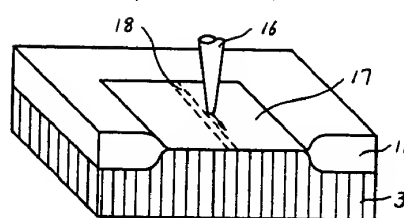


- 7 Si⁺非打込み層上の酸化膜
- 8 走査速度最大部
- 9 走査速度最小部
- 10 アルミ配線
- 11 LOCOS酸化膜
- 12 Si⁺打込み層上の酸化膜
- 13 Si⁺非打込み部(チャネル)
- 14 ホリソリソント
- 15 リンガラス膜

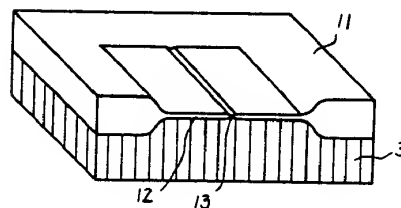
第 8 図



第 5 図

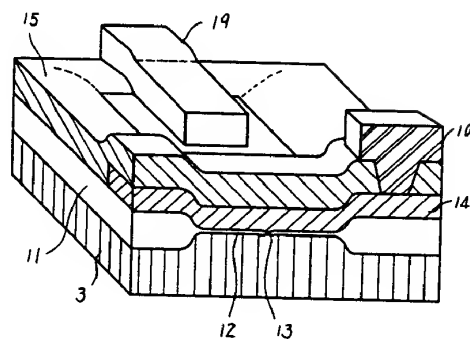


第 6 図



- 16 Si⁺集束付シーム
- 17 Si⁺打込み部
- 18 非打込み部

第 7 図



- 19 ドレインアルミ配線